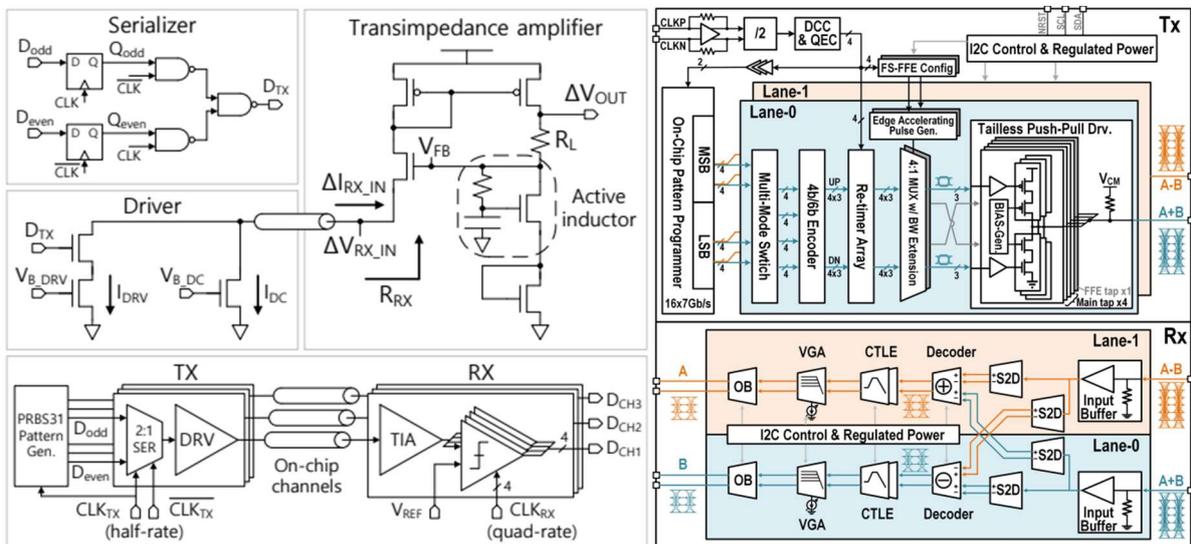


# 2024 IEEE VLSI Review

서울대학교 전기정보공학부 박사과정 박현준

## Session 1 Wireline Circuits

Session 1은 저전력 고속 Wireline 통신 기술에 초점을 맞춘 4개의 혁신적인 논문이 발표되었다. 이 세션을 통해 Wireline 기술에 요구되는 최신 동향과 발전된 설계 및 테스트 방법에 대한 통찰력을 얻을 수 있다.

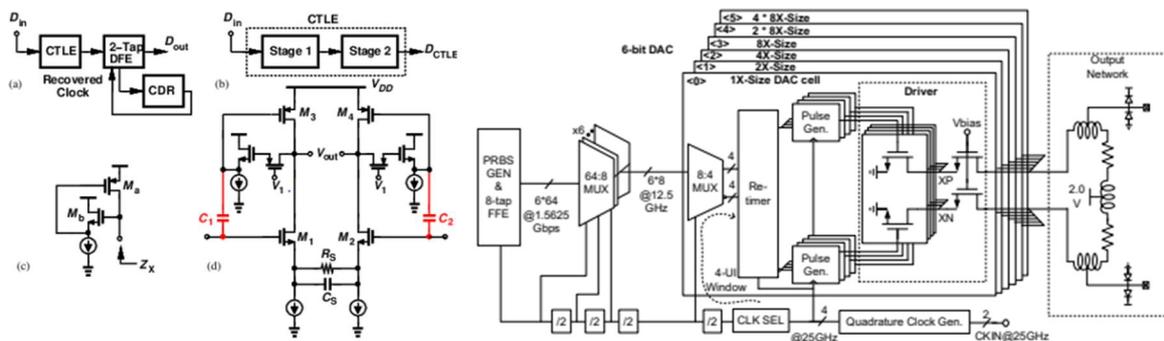


[그림 1] (좌) 1-1 (우) 1-2

**#1-1** 이 논문은 고밀도, 단거리 온칩 interconnect에서 crosstalk 문제를 해결할 수 있는 single ended current mode transceiver를 제안한다. 이 트랜시버는 XTC(crosstalk cancellation)를 통해 고속 데이터 전송 시 발생하는 신호 간섭 문제를 해결한다. 기존 방식에서는 shielding을 사용하지만, 이는 대역폭 밀도를 감소시킨다. 제안된 트랜시버는 current mode signaling과 RX termination 저항 최적화를 통해 별도의 오버헤드 없이 크로스토크를 효과적으로 상쇄하여, 13.3Tb/s/mm의 높은 edge density에도 불구하고 246fJ/bit의 매우 낮은 에너지 효율성을 달성하였다.

**#1-2** 이 논문은  $2 \times 56$  Gb/s 단일 종단 직교 PAM-7 트랜시버를 제안하며, 채널 독립적 크로스토크 상쇄를 위한 인코더 기반 크로스토크 상쇄(EB-XTC) 기법을 적용하였다. 제안된 트랜시버는 두 개의 상관되지 않은 PAM-4 신호를 직교 PAM-7 신호로 변환하여 밀접하게 결합된 차동 채널에서 발생하는 강한 크로스토크 잡음을 제거한다. 이 트랜시버

는 \*\*인코딩 송신기(TX)\*\*와 \*\*디코딩 수신기(RX)\*\*로 구성되며, TX는 크로스토크 면역성을 갖춘 PAM-7 신호를 전송하고, RX는 PAM-7 신호를 다시 PAM-4 신호로 복원한다. 본 연구의 주요 기여는 채널 독립적인 크로스토크 상쇄를 실현했다는 점이다. 이는 기존의 PAM-4 신호가 크로스토크에 민감하다는 한계를 해결하는 새로운 접근법으로, PAM-4 신호를 PAM-7 신호로 인코딩함으로써 크로스토크를 제거할 수 있었다. 또한, 송신기에서 5개의 슬라이스로 이루어진 tailless push-pull 드라이버를 사용하여 신호의 전압 스윙을 0.6 Vpp로 높여 충분한 SNR을 확보하였고, 수신기에서 고주파 증폭 및 조정을 통해 신호 복원을 보장하였다. 측정 결과는, 56 Gb/s/pin의 전송 속도를 유지하면서 크로스토크를 효과적으로 제거한 것이 입증되었다. EB-XTC를 적용했을 때 크로스토크가 완전히 제거되었고, 채널 1에서 0.3 UI의 수평 눈 개방(horizontal eye opening)과 67 mV의 수직 눈 개방(vertical eye opening)을 기록했다. 또한, 제안된 PAM-7 신호 및 EB-XTC 방식은 채널 비대칭성에도 불구하고 완전한 크로스토크 제거와 채널 독립적 성능을 유지했다.



[그림 1] (좌) 1-3 (우) 1-4

**#1-3** 이 논문은 56 Gb/s NRZ 수신기를 제안하며, 저전력과 소형 면적을 목표로 새로운 아키텍처와 회로 기술을 적용하였다. 28nm CMOS 기술로 구현된 수신기는 25 dB 이상의 채널 손실을 가지는 환경에서 56 Gb/s의 전송 속도를 지원하며, 비트오류율(BER)이  $10^{-12}$  이하를 달성하였다. 이 수신기는 기존의 PAM-4 방식에 비해 전력 소모가 크지 않으면서도 높은 성능을 유지한다. 논문에서 제시된 설계는 풀레이트(full-rate) 방식을 채택하여, 반레이트나 쿼터레이트 아키텍처보다 더 낮은 전력 소비를 구현했다. 이는 DFE와 CTLE에서의 부하가 감소하고, CDR의 입력 커패시턴스가 작아지면서 가능해졌다. 컴팩트한 플로어플랜 덕분에 인터커넥트 길이가 짧아져 버퍼가 필요 없고, 이는 추가적인 전력 절감으로 이어진다.

**#1-4** 이 논문은 200-Gb/s PAM-4 송신기를 제안하며, 1.6-Vppd 출력 스윙과 클록 스큐 보정 기능을 12nm FinFET 기술에서 구현한 설계를 다룬다. 데이터 센터 간의 고속 전송을 위한 광 전송 기술이 중요해짐에 따라, 기존의 SiGe 기반 브리지 드라이버는 높은 전

력 소모와 CMOS ASIC과의 호환성 문제를 가지고 있다. 이를 해결하기 위해, 제안된 송신기는 CMOS 기반으로 고출력 스윙을 직접 생성하여 통합 밀도를 높이고 전력 효율성을 개선한다. 송신기는 6비트 디지털-아날로그 변환기(DAC) 아키텍처를 채택하며, 8탭 디지털 FFE와 25-GHz Quadrature 클록을 사용하여 고속 데이터를 처리한다. 펄스 생성기는 두 단계의 동적 논리 구조를 사용하여 지터를 감소시켰고, QCG는 클록 스큐를 감지하고, 오류를 보정하여 정확한 데이터 전송을 가능하게 했다. 결과적으로, 이 송신기는 3.32 pJ/bit의 전력 효율과 0.116 mm<sup>2</sup>의 소형 면적으로 높은 출력 스윙을 제공하며, 고속 통신을 위한 데이터 센터 및 실리콘 포토닉스 응용에 적합한 솔루션을 제시한다.

## 저자정보



### 박현준 박사과정 대학원생

- 소속 : 서울대학교
- 연구분야 : HBM, Chord Signaling, Information Theory
- 이메일 : spp098@snu.ac.kr
- 홈페이지 : <https://sites.google.com/view/wschoi?pli=1>

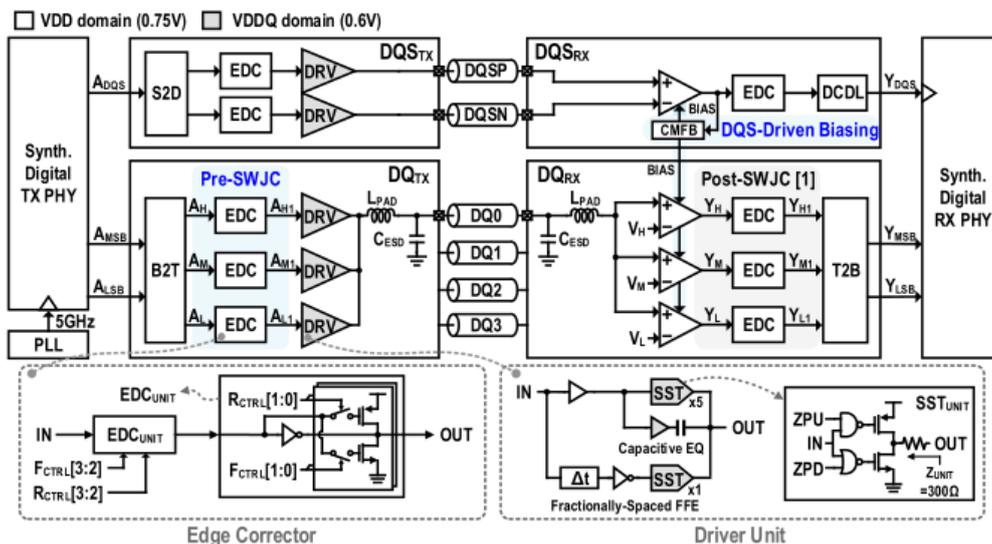
# 2024 IEEE VLSI Review

KAIST 전기및전자공학부 박사과정 임규완

## Session 22 Wireline Circuits II

“Wireline Circuits” 라는 주제로 만들어진 이번 VLSI의 22번 session에서는 총 5편의 논문이 발표되었다. 5편 중 2편은 high-speed optical communication을 주제로 하고, 3편은 memory 및 pcie 등에 쓰이는 PAM-4 TRx에 관한 연구 결과를 제시하였다. 이번 리뷰에서는 switching jitter compensation technique을 통해 timing margin을 개선한 22-3번 논문에 대해 살펴보겠다.

# 22-3 본 논문은 equalization과 별개로 발생하는 switching jitter에 주목하여, 이를 switching jitter compensation (SWJC)를 사용해 보상함으로써 timing margin을 0.26UI에서 0.39UI까지 늘리는 방법을 제시하였다.



[그림 1] 제안하는 PAM-4 transceiver 구조

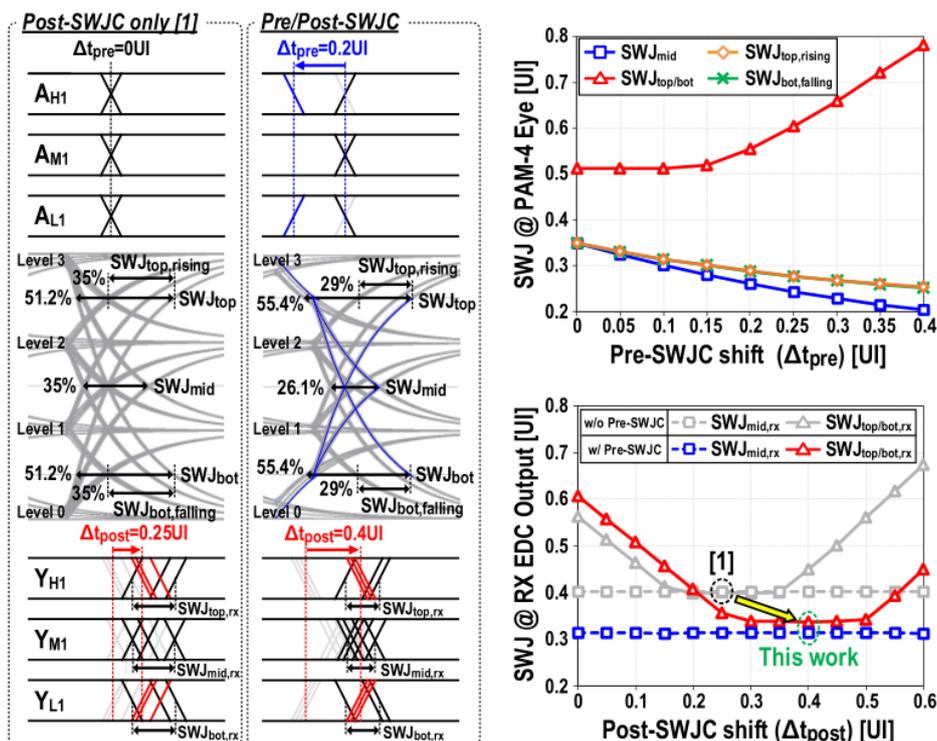
[그림 1]은 논문에서 제안하는 PAM-4 transceiver의 구조를 보여준다. 이의 transmitter 및 receiver에 적용된 edge corrector (EDC)가 논문에서 제안하는 주요한 아이디어이다.

이는 rising 및 falling edge의 delay를 개별적으로 4-bit control code를 이용하여 control 할 수 있고, 이의 resolution은 4ps이며 tuning range는 60ps이다.

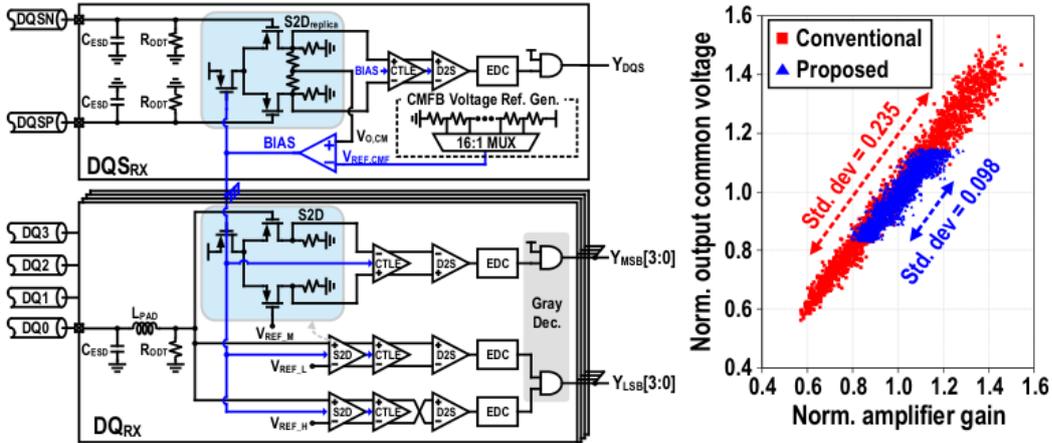
Transmitter은 source-series termination (SST) driver 구조를 기본으로 하여, fractionally-spaced feedforward equalization 및 capacitive peaking equalization을 이용하였다. 여기서 EDC는 main driver 전에 삽입되어 (pre-SWJC) rising/falling delay를 조절한다.

Receiver은 제안하는 work에서 새로이 제안된 DQS-driven biasing amplifier를 이용하여 CMOS level thermometer code로 입력 신호를 변환하고, 다시 EDC를 통하여 이의 timing margin을 늘린 후 (post-SWJC) thermometer-to-binary 변환을 거쳐 deserialize 된다.

[그림 2]는 제안하는 EDC를 통한 Tx단에서의 pre-SWJC 및 RX단에서의 post-SWJC의 효과를 보여준다. Post-SWJC는 이미 이전 work에서 제안된 바 있으며, 이는 Rx에서 bottom과 top의 SWJ를 줄여주는 효과가 있지만, middle의 SWJ는 줄일 수 없다. 제안하는 work에서는, 중앙의 SWJ를 줄이기 위해, AH1과 AL1 (thermometer-coded driver input)의 falling (AH1) edge와 rising (AL1) edge를 앞으로 당겨, level 3에서 falling하는 3개의 transition과 level 0에서 rising하는 3개의 transition을 일찍 일어나게 한다. 이를 통해, PAM-4의 middle eye의 timing margin이 그림 2에 보는 것처럼 증가하게 된다. 이러한 timing margin 개선 효과는 pre-SWJC shift가 클수록 개선되지만, 0.15UI이상의 shift를 발생시킬 경우, top 및 bottom의 SWJ에 영향을 주게 되어 이 이상의 shift는 사용할 수 없다.



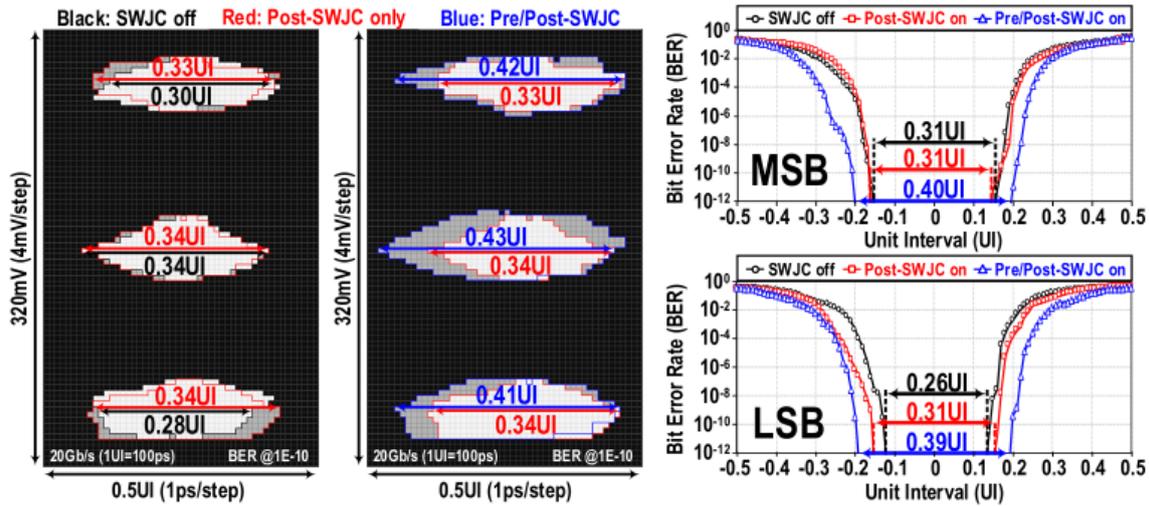
[그림 2] 제안하는 Pre/Post SWJC



[그림 3] 제안하는 DQS-driven biasing 및 이의 효과

[그림 3]은 제안하는 work에서 사용한 DQS-driven biasing 및 이의 효과를 보여준다. 제안하는 work은 differential clock의 common-mode 전압이 거의 변화하지 않는다는 점을 활용하여, 두 clock의 common mode를 활용하여 S2D amplifier의 bias를 설정하고, 이를 다른 single-ended lane의 S2D에 동일하게 사용하여 각 amplifier의 bias를 설정하였다. 이러한 방식을 통해, 각 S2D의 bias는 [그림 3]의 오른쪽처럼 variation이 줄어들게 된다.

[그림 4]는 20Gb/s에서 측정된 RX eye와 bathtub curve를 보여준다. 먼저 RX eye를 살펴 보면, 제안하는 SWJC로 인해 RX eye width가 0.33UI/0.34UI/0.34UI에서 0.42UI/0.43UI/0.41UI로 증가한 것을 확인할 수 있으며, bathtub curve에서는 제안하는 pre/post SWJC가  $10^{-12}$  이하의 BER에서 타이밍 마진을 0.31UI/0.26UI에서 0.4UI/0.39UI로 충분히 증가시키는 것을 확인할 수 있다.

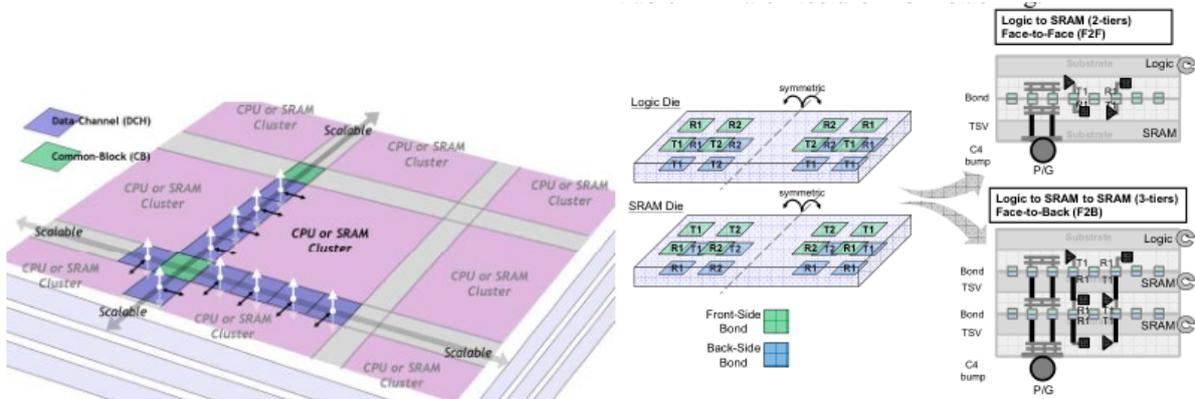


[그림 4] 측정된 Rx eye 및 bathtub curve

### Session 14 Very High-speed Wireline

“Very High-speed Wireline”이라는 주제로 만들어진 이번 VLSI의 14번 session에서는 총 5편의 논문이 발표되었다. 5편 중 3편의 논문은 die-to-die (D2D) extremely short-reach (XSR) serial interface를 주제로 하고, 2편은 high-speed optical communication을 주제로 연구 결과를 제시하였다. 이번 리뷰에서는 9um pitch 3D package를 사용해 매우 높은 면적당 data rate을 달성한 14-1번 논문에 대해 살펴보겠다.

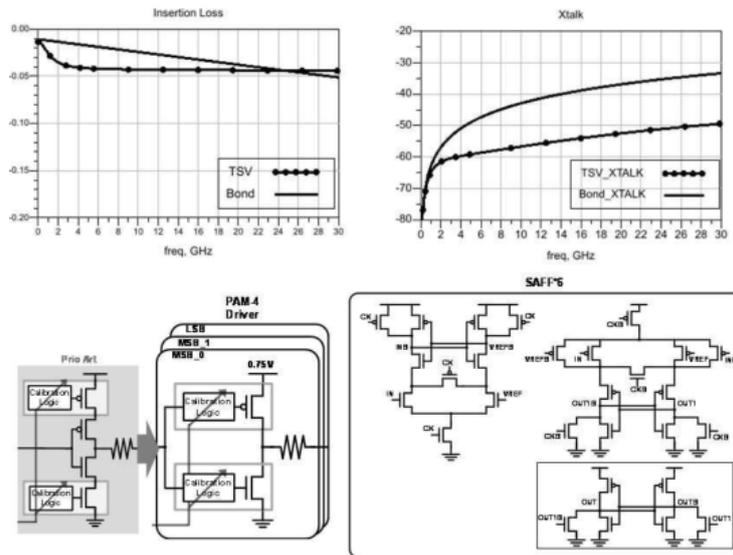
#### # 14-1



[그림 1] (왼쪽) scalable D2D 구조 with 3D stacking, (오른쪽) 3D stacking을 위한 bond/TSV 구조

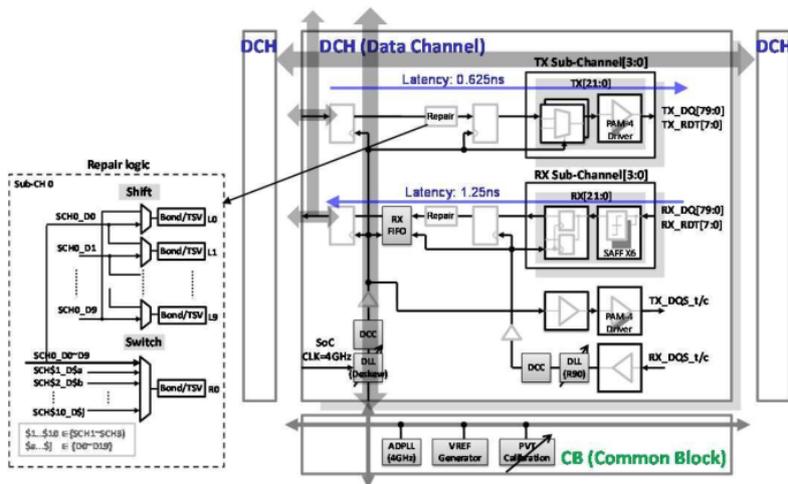
본 논문은 5nm 공정으로 제작된 CPU (logic) die와 6nm 공정으로 제작된 SRAM die를 9um pitch를 가지는 bond와 through-silicon-via (TSV)를 이용하여 3D stacking 하여 높은 interconnect density를 달성하고 면적당 데이터 전송 효율을 극대화한 D2D interface를 제안한다.

[그림 1]은 논문에서 제안한 scalable한 D2D 구조와 이를 위한 3D stacking 구조를 보여 준다. 제안하는 구조에서 각 die는 위/아래에 각각 bond가 위치하여 3D stacking을 통한 연결이 가능하게 되어 있고, [그림 1]의 오른쪽과 같이 face-to-face (F2F)로 연결되거나, face-to-back (F2B)로 연결되고, F2B로 연결된 경우는 face와 back 간의 연결은 TSV로 구성된다.



[그림 2] (위) Bond/TSV loss & crosstalk, (아래) PAM-4 driver & Receiver sense-amp FF (SAFF)

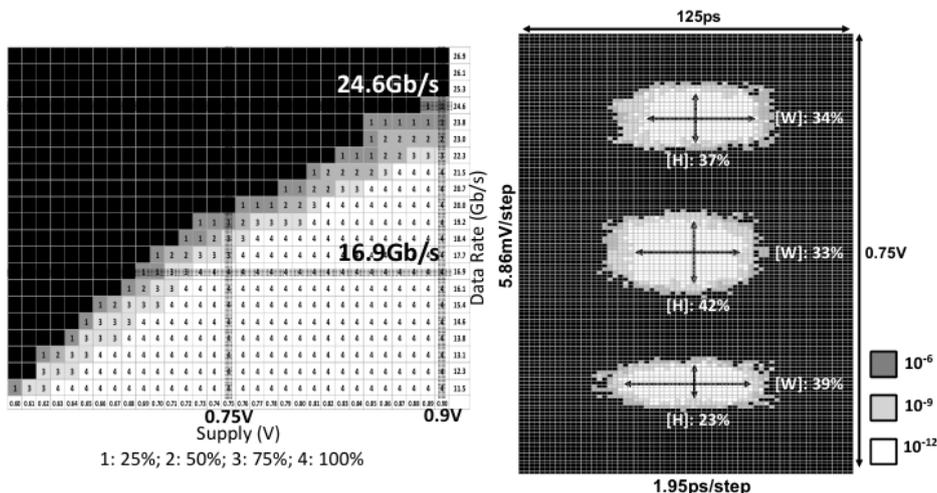
[그림 2]는 bond 및 TSV의 loss와 crosstalk (위)와 PAM-4 driver과 receiver에 쓰이는 strongarm latch 기반 flip-flop (SAFF)를 보여준다. Driver의 경우, cascode device 없이 compact하게 설계하기 위해 calibration을 driving MOSFET gate side로 옮겼고, SAFF는 낮은 reference부터 높은 reference까지의 입력 level에 대응하기 위해 p-type 및 n-type stage가 병렬로 이루어진 구조를 사용하였다.



[그림 3] data channel (DCH) 및 common block (CB) 구조

[그림 3]은 제안하는 data channel (DCH) 및 common block (CB)의 구조를 보여준다. 제안하는 DCH는 RX에서 90도 phase shift를 제공하는 DLL을 통해 data를 center에서 sampling 할 수 있게 하고, TX에서는 TXFIFO 대신 deskew DLL을 이용하여 SoC에서 DCH 까지의 data 전달을 동기화할 수 있게 했다.

또한, 제안하는 work에서는 'repair logic' 을 제안하여 defect가 있는 bond가 생길 경우 이 bond를 통하는 lane을 redundant lane으로 우회할 수 있게 하여 동일 cluster에 있는 10개의 lane에 대한 defect를 수리할 수 있게 한다.



[그림 4] 측정된 shmoo plot 및 PAM-4 eye contour plot

[그림 4]는 측정된 shmoo plot 및 PAM-4 eye를 보여준다. shmoo plot은 active lane이 25%~100% 일 때의 supply에 따른 data rate을 보여준다. PAM-4 eye plot은 built-in self-

test circuit을 통해 high/middle/low 패턴을 적절히 인가하여 측정한 값으로, 10-12 BER 기준으로 125ps의 34%/33%/39%의 eye width와, 250mV의 37%/42%/23%의 eye height을 보였다.

제안하는 work은, data rate을 높이기 위한 특별한 circuit technique을 사용했기 보다는, 9um의 아주 작은 pitch를 가지는 bond를 통한 3D stacking을 통해 면적당 data 전송 효율을 극대화했다고 요약할 수 있다.

## 저자정보

---



### 명예기자 임규완

- 소 속 : KAIST 전기및전자공학과 박사과정
  - 연구분야 : Display Driver IC, Readout IC
  - 이 메 일 : limkw@kaist.ac.kr
  - 홈페이지 : <https://ICdesignlab.net>
-